

Cite No. 3

1/1 ページ

Searching PAJ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-032956
(43)Date of publication of application : 10.03.1979

(51)Int Cl

H03K 5/01
G06F 3/02
H03K 1/10

BEST AVAILABLE COPY

(21)Application number : 52-099298

(71)Applicant : OMRON TATEISI ELECTRONICS CO

(22)Date of filing : 10.08.1977

(72)Inventor : MIYAWAKI NORIO
DOI TETSUO

(54) INPUT CIRCUIT

(57)Abstract:

PURPOSE: To make a circuit constitution simple and make it possible to eliminate influences of chattering and induced noise by using two gate circuits as the output of an integrating circuit in case that contact signals are inputted to a digital circuit.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C), 1998,2003 Japan Patent Office

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAKRaqwADA354032956...> 2006/03/08

4

BEST AVAILABLE COPY

⑨日本国特許庁
公開特許公報

⑩特許出願公開
昭54---32956

⑪Int. Cl. ⁷	識別記号	⑫日本分類	庁内整理番号	⑬公開 昭和54年(1979)3月10日
H 03 K 5/01		98(5) C 21	7376-5J	
G 06 F 3/02	1 0 5	97(7) B 1	7010-5B	発明の数 1
H 03 K 1/10			6647-5J	審査請求 未請求

(全 3 頁)

⑭入力回路

⑮発明者 土井哲雄

京都市右京区花園土堂町10番地
立石電機株式会社内

⑯特 願 昭52-99298

⑰出 願 昭52(1977)8月19日

⑱発明者 宮崎剛夫

京都市右京区花園土堂町10番地
立石電機株式会社内

⑲出願人 立石電機株式会社

京都市右京区花園土堂町10番地

⑳代理人 弁理士 新井祐介

明 細 書

1. 発明の名称

入力回路

2. 特許請求の範囲

(1) 入力信号を積分する積分回路と、無電圧状態の出力に前記積分回路の出力が加算された第1のゲートと、一方の入力に前記積分回路の出力が加算され他方の入力に前記第1のゲートの出力が加算される第2のゲートとからなる入力回路。

(2) 第2のゲートの出力にその一方の入力が加算された第3のゲートを有し、このゲートの他方の入力に入力信号を加えるようにして入力信号により第2のゲートの出力信号を制御するようにした特許請求の範囲第1項記載の入力回路。

3. 発明の利便を説明

この発明はプロパム触媒に点火信号を入力する場合において、チャタリングや回線ノイズの発生を抑制する入力回路に関する。

従来のこの種の入力回路は、例えば第1図に示すように構成されている。すなわち入力信号を積分回路11で積分したのち、インバータ12でこの積分出力を所定のレベルで弁別し、このインバータ12の出力を積分回路13で積分し、立上り時即ち積分出力を得る。また立下り時の積分出力は、インバータ14と積分回路15とによって得る。立上り時及び立下り時の積分出力は、ヒステリシス回路16を介して出力される。こうして無電圧による無電圧信号が第2図Aに示すように入力されたとき、チャタリングやノイズを除去して信号の立上り時及び立下り時にそれぞれ積分出力を第3図Bに示すように生じて、この積分出力でローパス回路17で構成されるデジタル回路18のクリアフロップ19をセットまたはリセットするようにしている。

本発明は上記と同様の構成を有する入力回路をより簡単な回路構成で実現することを目的とする。

以下本発明の実施例について説明する。まず

(2)

特開昭54-32956

BEST AVAILABLE COPY

REF ID: A54-32956 (2)

ローパスで抽出された多入力ゲート（例えば $M \times M$ ロゲート、 $M \times R$ ゲートなど）の入出力特性を算出加算する。このため抽出回路は図 4 例に示すように、一方の入力のみに入力係数を加えたときの特性を示しており、スレッシュホールド電圧は V_1 となっている。図 5 例は図 4 例に示すように、2つの入力を加算して入力係数を加えたときの特性を示し、このときはスレッシュホールド電圧 V_2 が前記のスレッシュホールド電圧 V_1 より高くなっている。本発明ではこのスレッシュホールド電圧の差を利用して、第 1 段で用いた積分回路を省略して図 6 例の構成を簡略化しているのである。

図 3 図 2 以上の実施例を示し、この図では、
2 とコメンサスとして部分回路 2 を挿入し、こ
の部分回路 2 の出力を 1 つの入力が短絡された
NAND ゲート 2 に入力するとともに、NAND
ゲート 2 に入力する。NAND ゲート 2 の他
方の入力には NAND ゲート 2 の出力に接続する。
すると図 3 のように、真値表 4 が部分

図8に示したとき、被分周波数の出力は、 V_0 の出力に示すようになる。この入力が加えられてインパルスとして加えられるとき、このスレッシュホールド電圧は、図8に示したように比較的低い電圧 V_0 となっている。被分出力がこのスレッシュホールド電圧 V_0 を超えると、 V_A の出力は反転する（図8の図8参照）。一方、 V_A の出力はスレッシュホールド電圧に相対的に低い電圧 V_1 となっているため、被分出力がこの電圧 V_1 に達した時点で V_A の出力は“1”になり、その電圧は V_1 に達した時点で“0”に戻る。従って、被分パルスと同様の短いパルス列を得ることが出来る。また同様に入力の立下がり時に V_A の出力を得ることが出来る。こうしてサマリンドやパルス列などの信号が加えられたとき、入力の立下がり時及び立下がり時にサマリンドに送ることが出来る。

此の図は、 α の実験値を示している。この α

では、 M 、 N 、 D 、 G 、 E の出力にインバータを
 介して、 M 、 N 、 D 、 G 、 E の一方の入力を接続し、
 M 、 N 、 D 、 G 、 E の出力の入力には入力信号を
 加えるようにしている。図が示すので、他は同
 じ図と同様である。この回路はより入力信号の
 立上がり時のみパルス信号を得るようにしてい
 る。すなわち、 M 、 N 、 D 、 G 、 E から出力
 されるように、入力信号の立上がり時と立下が
 り時に生じるパルス信号が得られるが、 M 、 N 、
 D 、 G 、 E からより入力信号が“H”の時のみ、す
 なわち立上がり時のみパルスを得るようにして、
 立上がり時のパルス信号を得るようにしている
 のである。

以上実験結果について説明したように、本発明によれば被分回路を用いることなく極めて簡単な回路構成で、被分出力と同様のパルス信号を発生することができる。また被分回路を用いるゲートを用いているので、同一のより細路パルス信号に断ち切られている所をゲートで遮断することができる。極めて実用なものとすることが

१६७.

4. Is the number of cases

以て因は從來例を示す因知能、或は因[△]。又
 因[△]は因を説明する元々の因知能、或は因はロ
 ーロロダートの人出乃知能を示すクワ、附
 け加へ、因[△]は因[△]を説明する元々の因知能、
 或は因は不規則の[△]知能を示す因知能、或は
 因[△]一ロは因[△]を説明する元々の因知能、附
 け加へ不規則の[△]の知能を示す因知能であ
 る。

1. 海 点	8. アジタル出船
3. フリヤフフロフ	11. 四・板分回船
12, 14, 20 - インバーブ	13, 16 - 板分回船
10 - フロイグート	
24, 25, 27 - フロイグート	

出 租 人 立 石 電 機 探 査 會 社
代 理 人 井 越 士 朗 井 越 和 介

(3)

特開昭54-32956

BEST AVAILABLE COPY

